

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 08 月 09 日
Application Date

申請案號：091118043
Application No.

申請人：揚智科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2002 年 10 月 25 日
Issue Date

發文字號：09111020887
Serial No.

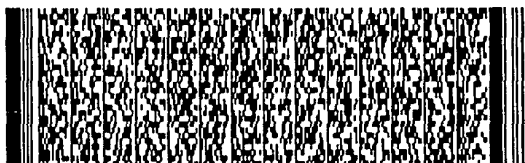
申請日期： 案號：

類別：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	一種積體電容及其製法
	英文	INTEGRATED CAPACITOR AND METHOD OF MAKING SAME
二、 發明人	姓名 (中文)	1. 胡曼君 2. 林文忠
	姓名 (英文)	1. Hu, Man-Chun 2. Lin, Wen-Chung
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 台北縣汐止市新台五路一段八十八號二十一樓 2. 台北縣汐止市新台五路一段八十八號二十一樓
三、 申請人	姓名 (名稱) (中文)	1. 揚智科技股份有限公司
	姓名 (名稱) (英文)	1. Acer Laboratories, Inc.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 台北縣汐止市新台五路一段88號21樓
	代表人 姓名 (中文)	1. 呂理達
	代表人 姓名 (英文)	1. Lu, Teddy



四、中文發明摘要 (發明之名稱：一種積體電容及其製法)

本發明提供一種可具有極性且具有接近完美匹配特性之積體電容，包含一半導體基底；一外垂直板設於該半導體基底上，該外垂直板係由複數個並列第一導電條上下經由複數個第一插塞互相電連接所構成，該外垂直板定義出一格狀區域；一內垂直板，設置於該格狀區域之該半導體基底上，該內垂直板係由複數個並列第二導電條上下經由複數個第二插塞互相電連接所構成；及一水平導電板，設於該外垂直板及該內垂直板之下，且介於該外垂直板及該內垂直板與該半導體基底之間。其中該內垂直板係經由至少一第三插塞與該水平導電板電連接。

英文發明摘要 (發明之名稱：INTEGRATED CAPACITOR AND METHOD OF MAKING SAME)

An integrated capacitor including a semiconductor substrate is disclosed. An outer vertical plate is laid over the semiconductor substrate. The outer vertical plate consists of a plurality of first conductive slabs connected vertically using multiple first via plugs. The outer vertical plate defines a grid area. An inner vertical plate is laid over the semiconductor substrate in parallel with the first vertical plate and is encompassed by the grid area defined



四、中文發明摘要 (發明之名稱：一種積體電容及其製法)

英文發明摘要 (發明之名稱：INTEGRATED CAPACITOR AND METHOD OF MAKING SAME)

by the outer vertical plate. The inner vertical plate consists of a plurality of second conductive slabs connected vertically using multiple second vias. A parallel conductive plate is laid under the outer vertical plate and inner vertical plate over the semiconductor substrate for shielding the outer vertical plate from producing a plate-to-substrate parasitic capacitance thereof. The inner vertical plate is electrically connected with the parallel conductive plate using



四、中文發明摘要 (發明之名稱：一種積體電容及其製法)

英文發明摘要 (發明之名稱：INTEGRATED CAPACITOR AND METHOD OF MAKING SAME)

at least one third via plug.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

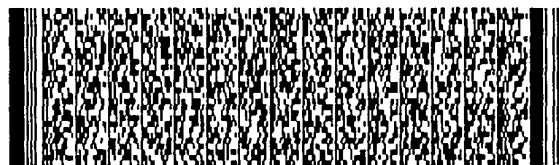
發明之領域

本發明係關於一種積體電容 (integrated capacitor) 及其製法，尤指一種可具有極性且具有接近完美匹配 (matching) 特性之積體電容結構，特別適合應用於類比 / 數位轉換器 (A/D converter) 或數位 / 類比轉換器 (D/A converter) 或切換電路 (switch cap circuit) 領域。

背景說明

一直以來，被動元件如電容等已經被廣泛地使用在無線電波 (radio frequency, RF) 及混合訊號 (mixed-signal) 電路中，應用在諸如過濾器 (filter)、共振電路 (resonant circuit)、及導流電路 (bypass) 等電路設計上。而為了降低生產製造成本，IC 製造或設計業者莫不戮力朝提高積體電路積集度之潮流邁進。

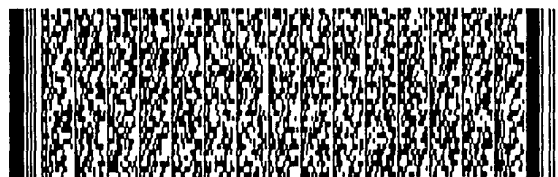
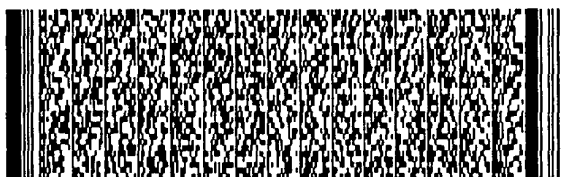
圖一為習知高積集度積體電容之部份結構側視圖。如圖一所示，習知之積體電容係由複數個平行排列之垂直金屬板 100 及 120 所構成，其中無陰影的為垂直金屬板 120，表示其為電連接一節點 A，有陰影的為垂直金屬板 100，表示其為電連接一節點 B。垂直金屬板 100 及 120 皆形成於一半導體基底 (未顯示) 上。每一垂直金屬板 100 皆由複數個金屬層 10a、10b、10c 及 10d 以及電連接複數個金屬



五、發明說明 (2)

層 10a、10b、10c及 10d之金屬插塞 11a、11b及 11c所構成。每一垂直金屬板 120皆由複數個金屬層 12a、12b、12c及 12d以及電連接複數個金屬層 12a、12b、12c及 12d之金屬插塞 13a、13b及 13c所構成。垂直金屬板 100及 120之間為一介電層(未顯示)。一般而言，習知之積體電容 1的複數個金屬層 10a、10b、10c及 10d以及複數個金屬層 12a、12b、12c及 12d係與積體電路之金屬內連線製程同時定義完成，不需要額外的光罩來定義圖案，因此可以節省成本。此外，習知之積體電容 1可提供較高的單位面積電容值 (capacitance per unit area)。

然而，習知之積體電容 1由於連接節點 A的垂直金屬板 120以及連接節點 B的垂直金屬板 100，操作時皆會與位於其下方之半導體基底產生所謂的寄生電容 (parasitic capacitance)。請參閱圖二，圖二為圖一中之習知積體電容 1之等效電路圖。如前所述，習知積體電容 1之垂直金屬板 120，其為電連接一節點 A，垂直金屬板 100，其為電連接一節點 B。在 A節點與 B節點之間，除了本身電容結構所貢獻之電容值 C_{in} 之外，在節點 A端尚有一寄生電容 C_p 產生，而在節點 B端尚有一寄生電容 C_p 產生。寄生電容 C_p 以及寄生電容 C_p 皆是由於垂直金屬板 100及 120之最下層金屬層 (分別為金屬層 10a與金屬層 12a)與接地之半導體基底感應產生。如此一來，使得習知積體電容 1由於在設計上兩端節點皆有寄生電容而不具有極性，因此不適合應用於類比



五、發明說明 (3)

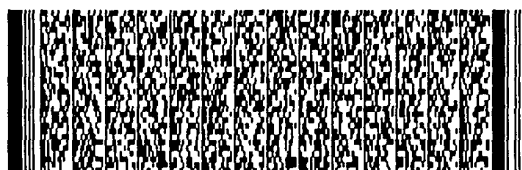
/數位轉換器 (A/D converter)或數位/類比轉換器 (D/A converter)或切換電路 (switch cap circuit)領域。

此外，為了增加電容值，傳統的積體電容經常採用「指型」電容 (finger capacitor)結構，卻產生不匹配的問題。請參閱圖三，圖三為習知積體電容 30之部份佈局上視圖。如圖三所示，積體電容 30由複數個「指型」電容胞 31所構成。每一「指型」電容胞 31包含有一電連接節點 A 之垂直金屬板 311以及一電連接節點 B 之垂直金屬板 312。根據如圖三所示之習知積體電容結構，「指型」電容胞 31有四個邊，其分別為 a、b、c、d，其四邊所看到周圍環境不盡相同，即稱為不匹配 (not match)。曾有利用假金屬 (dummy metal)佈設於各「指型」電容胞 31之四周，但仍未改善匹配問題，而且假金屬佈局亦會浪費寶貴的晶片面積。

發明概述

據此，本發明之主要目的在於提供一種具有極性之高積集度積體電容，可以解決匹配問題，適合應用於類比/數位轉換器 (A/D converter)或數位/類比轉換器 (D/A converter)或切換電路 (switch cap circuit)設計中。

在本發明之最佳實施例中，揭露了一種可具有極性之



五、發明說明 (4)

積體電容，包含一半導體基底；一外垂直板設於該半導體基底上，該外垂直板係由複數個並列第一導電條上下經由複數個第一插塞互相電連接所構成，該外垂直板定義出一格狀區域；一內垂直板，設置於該格狀區域之該半導體基底上，該內垂直板係由複數個並列第二導電條上下經由複數個第二插塞互相電連接所構成；及一水平導電板，設於該外垂直板及該內垂直板之下，且介於該外垂直板及該內垂直板與該半導體基底之間。其中該內垂直板係經由至少一第三插塞與該水平導電板電連接。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

發明之詳細說明

請參閱圖四，圖四為本發明具有高匹配度之積體電容胞上視圖。如圖四所示，積體電容胞 40 包含有一呈格狀佈局之外垂直金屬板 41 以及內垂直金屬板 42a、42b、42c 及 42d。外垂直金屬板 41 定義出四個格狀區域 41a、41b、41c 及 41d，使內垂直金屬板 42a、42b、42c 及 42d 分別位於格狀區域 41a、41b、41c 及 41d 內。外垂直金屬板 41 以及內垂直金屬板 42a、42b、42c 及 42d 之間為一介電層 45 以構成絕緣。垂直金屬板 41 及 42 皆形成於一半導體基底上（未顯

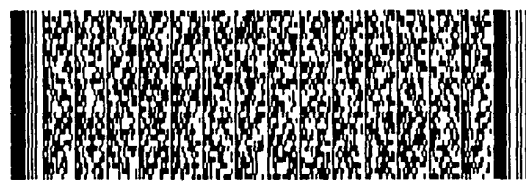
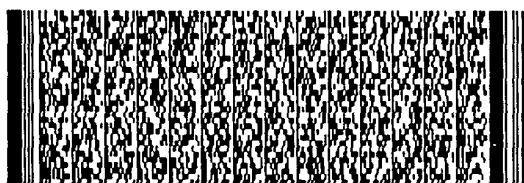


五、發明說明 (5)

示)，且每一垂直金屬板皆由複數個金屬層以及電連接複數個金屬層之金屬插塞所構成。一般以垂直金屬板 41 電連接一節點 A，內垂直金屬板 42 電連接一節點 B，其中內垂直金屬板 42 電連接一節點 B 的方式係以提供一底部水平金屬板（未顯示於圖四），經由接觸插塞電連接各內垂直金屬板 42，俾產生可具有極性之積體電容。

此外，習知該項技藝者亦可在參酌本發明內容之後，隨意更改外垂直金屬板 41 所定義出格狀區域數量，例如更改為三個格狀區域或為兩個格狀區域。需強調的是，上述圖四中之電容佈局結構乃為方便說明而舉之較佳實施例，其中尤需注意外垂直金屬板 41 所定義出格狀區域數量可以為至少一個，而以此衍生之其它變化，可為解決匹配問題之對稱性佈局結構者，皆為本發明所欲申請之範疇。

請參閱圖五，圖五為圖四中積體電容 40 之部份結構放大立體剖面圖。如圖五所示，本發明高積集度積體電容 40 係由外垂直金屬板 41 及內垂直金屬板 42 所構成，其中無陰影的為外垂直金屬板 41，表示其為電連接一節點 A，有陰影的為內垂直金屬板 42，表示其為電連接一節點 B。垂直金屬板 41 及 42 皆形成於一半導體基底上（未顯示）。外垂直金屬板 41 由複數個金屬層 411a、411b、411c 及 411d 以及電連接複數個金屬層 411a、411b、411c 及 411d 之金屬插塞 412a、412b 及 412c 所構成。內垂直金屬板 42 由複數個金屬

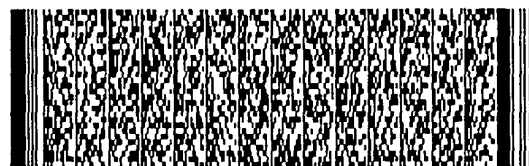
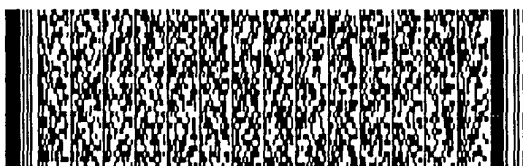


五、發明說明 (6)

層 421a、421b、421c及 421d 以及電連接複數個金屬層 421a、421b、421c及 421d 之金屬插塞 422a、422b及 422c 所構成。垂直金屬板 41 及 42 之間為一介電層 (未顯示)。依據本發明較佳實施例，積體電容 40 的複數個金屬層 411a、411b、411c及 411d 以及複數個金屬層 421a、421b、421c及 421d 係與積體電路之金屬內連線製程同時定義完成，不需要額外的光罩來定義圖案，因此可以節省成本。

仍然參閱圖五，本發明高積集度積體電容 40 另包含有一底部水平導電板 43，設於外垂直金屬板 41 及內垂直金屬板 42 之下，且介於外垂直金屬板 41 及內垂直金屬板 42 與半導體基底 (未顯示) 之間。底部水平導電板 43 為導電材料所構成，例如金屬或多晶矽。依據本發明較佳實施例，底部水平導電板 43 與積體電路之金屬內連線製程中的第一層金屬導線 (metal 1) 同時定義完成。底部水平導電板 43 與內垂直金屬板 42 之間透過至少一個金屬插塞 431 電連接。底部水平導電板 43 與外垂直金屬板 41 之間為介電層，以形成絕緣。

請參閱圖六，圖六為圖五中之積體電容 40 之等效電路。如前所述，本發明高積集度積體電容 40 之外垂直金屬板 41，其為電連接一節點 A，內垂直金屬板 42，其經由底部水平導電板 43 而電連接一節點 B。在 A 節點與 B 節點之間，除了本身電容結構所貢獻之電容值 C_{in} 之外，在節點 B



五、發明說明 (7)

端有一寄生電容 C_p 產生。寄生電容 C_p 皆是由於底部水平導電板 43 與接地之半導體基底 (未顯示) 感應產生。在節點 A 端則由於底部水平導電板 43 之遮蔽，而無寄生電容產生。如此一來，使得習知積體電容 40 由於在設計上只有一端節點有寄生電容因而具有極性，適合應用於類比 / 數位轉換器 (A/D converter) 或數位 / 類比轉換器 (D/A converter) 或切換電路 (switch cap circuit) 領域。

請參閱圖七，圖七為本發明積體電容之部份佈局上視圖。如圖七所示，積體電容由複數個對稱電容胞 70 所構成。電容胞 70 包含有一電連接節點 A 之垂直金屬板 71 以及一電連接節點 B 之垂直金屬板 72。根據如圖三所示之習知積體電容結構，電容胞 70 有四個邊，其四邊所看到周圍環境相同，因此接近完美匹配 (match)。本發明不需利用假金屬 (dummy metal) 佈設於各電容胞 70 之四周，因此可以節省寶貴的晶片面積。

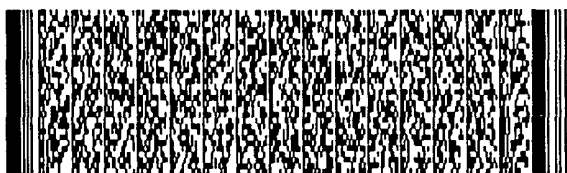
相較於習知技藝，本發明乃可具有極性之高積集度積體電容，可以解決匹配問題，適合應用於類比 / 數位轉換器 (A/D converter) 或數位 / 類比轉換器 (D/A converter) 或切換電路 (switch cap circuit) 設計中。積體電容的金屬層係與積體電路之金屬內連線製程同時定義完成，不需要額外的光罩來定義圖案，因此可以節省成本。以上種種優點均顯示本發明已完全符合專利法所規定之產業利用



五、發明說明 (8)

性、新穎性及進步性等法定要件，爰依專利法提出申請，敬請詳查並賜准本案專利。

以上所述僅為本發明之較佳實施例，本發明的效用並不限於前述之電容結構，蓋所有其他習知之積體電容結構，若其具有雙邊寄生電容，均可以依前述實施例之做法，在基板與電容間增加一導電板，而形成一具有極性之積體電容。因此，凡依上述方法所完成之積體電容，以及根據本發明實施例與申請專利範圍所作之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖示之簡單說明

圖一為習知高積集度積體電容之部份結構放大側視圖。

圖二為圖一中之習知積體電容之等效電路圖。

圖三為習知積體電容之部份佈局上視圖。

圖四為本發明具有高匹配度之積體電容胞上視圖。

圖五為圖四中積體電容之部份結構放大立體剖面圖。

圖六為圖五中之積體電容之等效電路圖。

圖七為本發明積體電容之部份佈局上視圖。

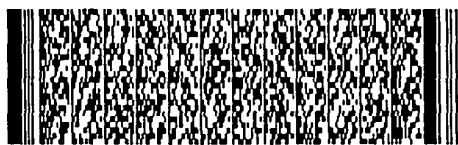
圖示之符號說明

1	積體電容
10a、10b、10c及10d	金屬層
11a、11b及11c	金屬插塞
12a、12b、12c及12d	金屬層
13a、13b及13c	金屬插塞
100、120	垂直金屬板
30	積體電容
31	積體電容胞
311	垂直金屬板
312	垂直金屬板
40	積體電容



圖式簡單說明

41	外垂直金屬板
42a、42b、42c、42d	內垂直金屬板
41a、41b、41c、41d	格狀區域
43	底部水平導電板
431	金屬插塞
45	介電層
411a、411b、411c、411d	金屬層
412a、412b、412c	金屬插塞
421a、421b、421c、421d	金屬層
422a、422b、422c	金屬插塞
70	電容胞
71、72	垂直金屬板



六、申請專利範圍

1. 一種積體電容，包含有：

一半導體基底；

一外垂直板設於該半導體基底上，該外垂直板係由複數個並列第一導電條上下經由複數個第一插塞互相電連接所構成，該外垂直板定義出一格狀區域；

一內垂直板，設置於該格狀區域之該半導體基底上，該內垂直板係由複數個並列第二導電條上下經由複數個第二插塞互相電連接所構成；及

一水平導電板，設於該外垂直板及該內垂直板之下，且介於該外垂直板及該內垂直板與該半導體基底之間；

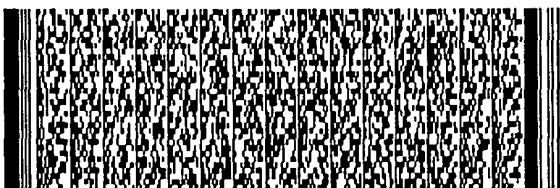
其中該內垂直板係經由至少一第三插塞與該水平導電板電連接。

2. 如申請專利範圍第1項所述之積體電容，其中該水平導電板由金屬構成。

3. 如申請專利範圍第1項所述之積體電容，其中該水平導電板與該外垂直板係藉由一介電層形成電性絕緣。

4. 如申請專利範圍第1項所述之積體電容，其中該第一導電條及該第二導電條皆由金屬構成。

5. 如申請專利範圍第1項所述之積體電容，其中該外垂直板與該內垂直板係互為電性絕緣。



六、申請專利範圍

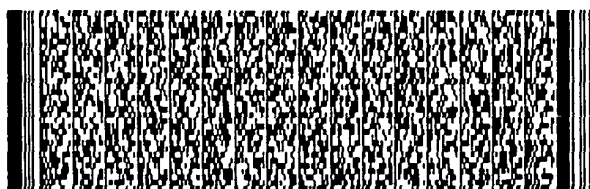
6. 如申請專利範圍第1項所述之積體電容，其中該外垂直板係電連接一節點A，該內垂直板係電連接一節點B，該積體電容於該節點B端與該半導體基底構成一寄生電容。

7. 如申請專利範圍第6項所述之積體電容，其中該外垂直板係電連接一節點A，該內垂直板係電連接一節點B，該積體電容於該節點A端並無寄生電容產生。

8. 一種形成具有極性積體電容的方法，包含有：
提供一半導體基底，包含有一外垂直板，其由複數個並列第一導電條上下經由複數個第一插塞互相電連接所構成，並定義至少一格狀區域；及
一內垂直板，設於該格狀區域中，其由複數個並列第二導電條上下經由複數個第二插塞互相電連接所構成；
提供一導電板，設於該外垂直板及該內垂直板之下，且介於該外垂直板及該內垂直板與該半導體基底之間；及
經由至少一第三插塞電連接該內垂直板與該導電板。

9. 如申請專利範圍第8項所述之方法，其中該導電板係金屬所構成。

10. 如申請專利範圍第8項所述之方法，其中該導電板與該外垂直板係藉由一介電層形成電性絕緣。



六、申請專利範圍

11. 如申請專利範圍第 8 項所述之方法，其中該外垂直板係電連接一節點 A，該內垂直板係電連接一節點 B，該積體電容於該節點 B 端與該半導體基底構成一寄生電容。

12. 如申請專利範圍第 8 項所述之方法，其中該外垂直板係電連接一節點 A，該內垂直板係電連接一節點 B，該積體電容於該節點 A 端並無寄生電容產生。

13. 一種形成具有極性積體電容的方法，包含有：

提供一半導體基底；

提供一導電板於該半導體基底之上，該導電板與該半導體基底電性絕緣；

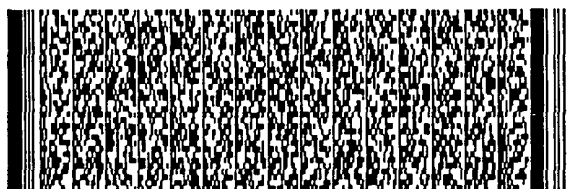
提供第一電容金屬件與第二電容金屬件於該導電板上，該第一電容金屬件以絕緣方式平行包覆圍繞該第二電容金屬件構成一積體電容；

使該第一電容金屬件與該導電板電性絕緣；及

使該第二電容金屬件與該導電板電性連接。

14. 如申請專利範圍第 13 項所述之方法，其中該電容金屬為垂直電容板，其由複數個並列導電條上下經由複數個插塞互相電連接所構成。

15. 如申請專利範圍第 13 項所述之方法，其中該電容金屬

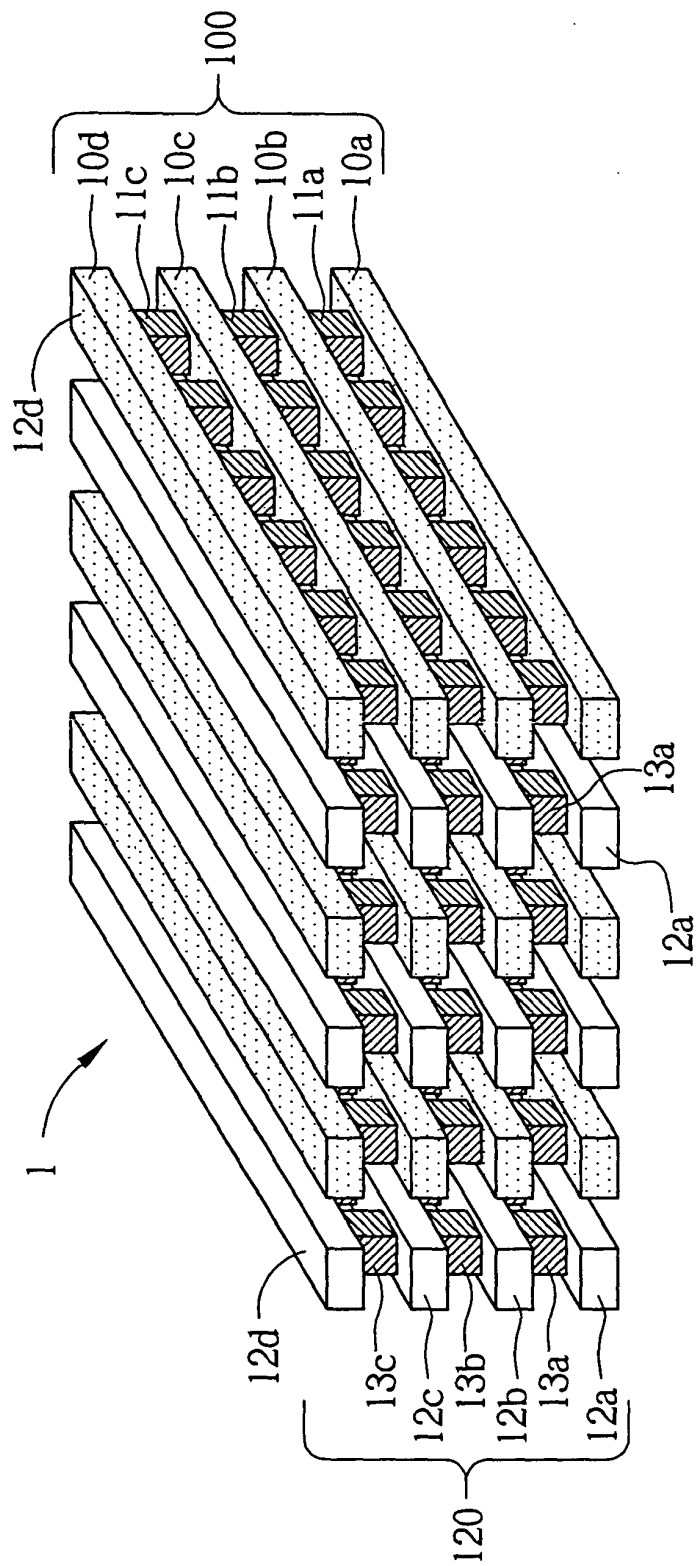


六、申請專利範圍

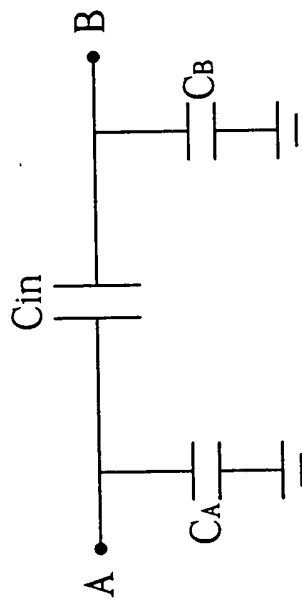
件為垂直電容柱，係由複數個導電塊上下經由複數個插塞互相電連接所構成。

16. 如申請專利範圍第13項所述之方法，其中該第一電容金屬件與該第二電容金屬件形成對稱匹配的電容結構。



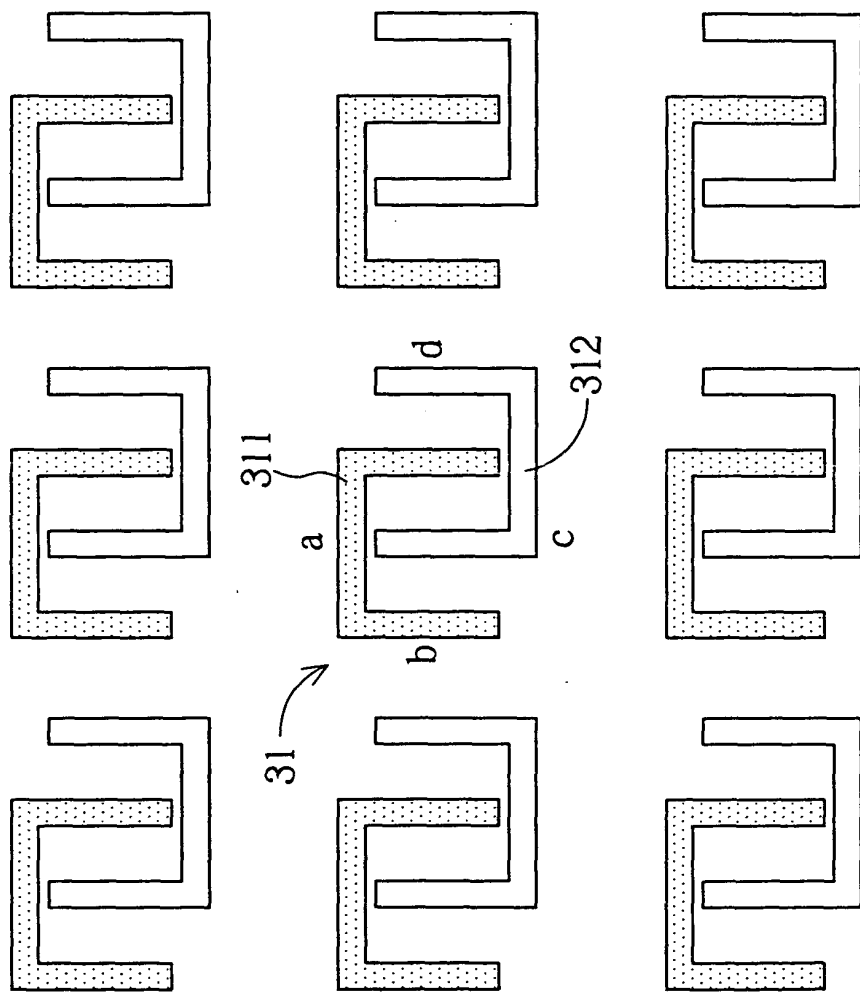


圖一

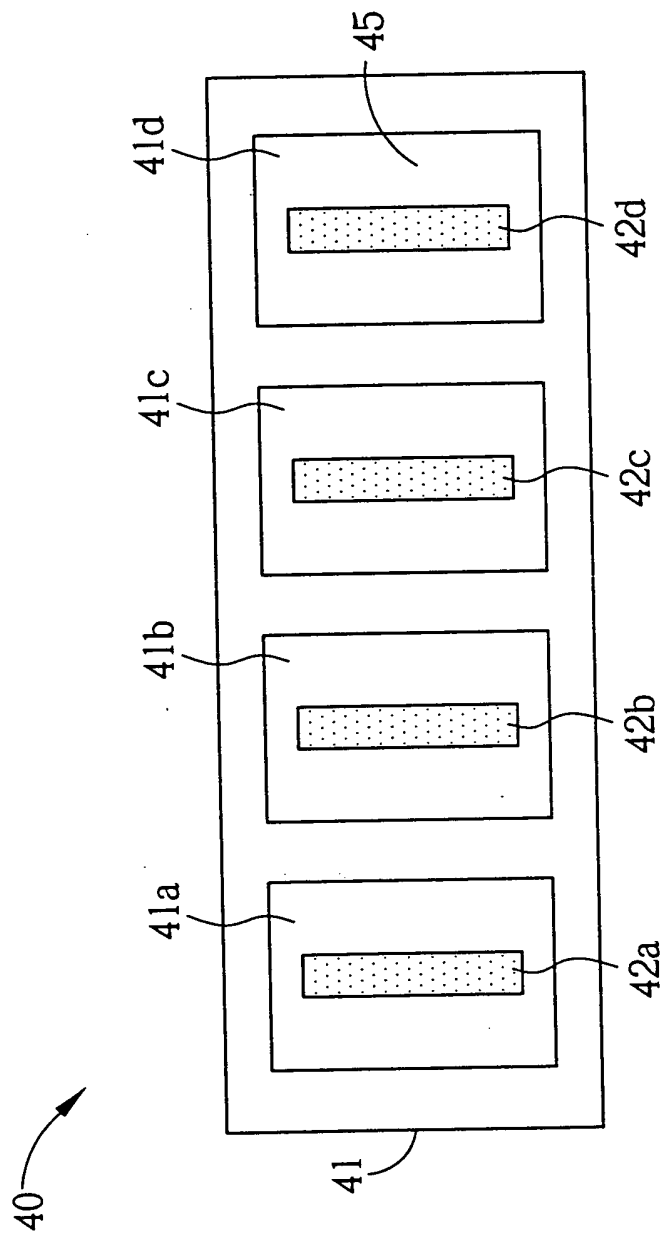


圖二

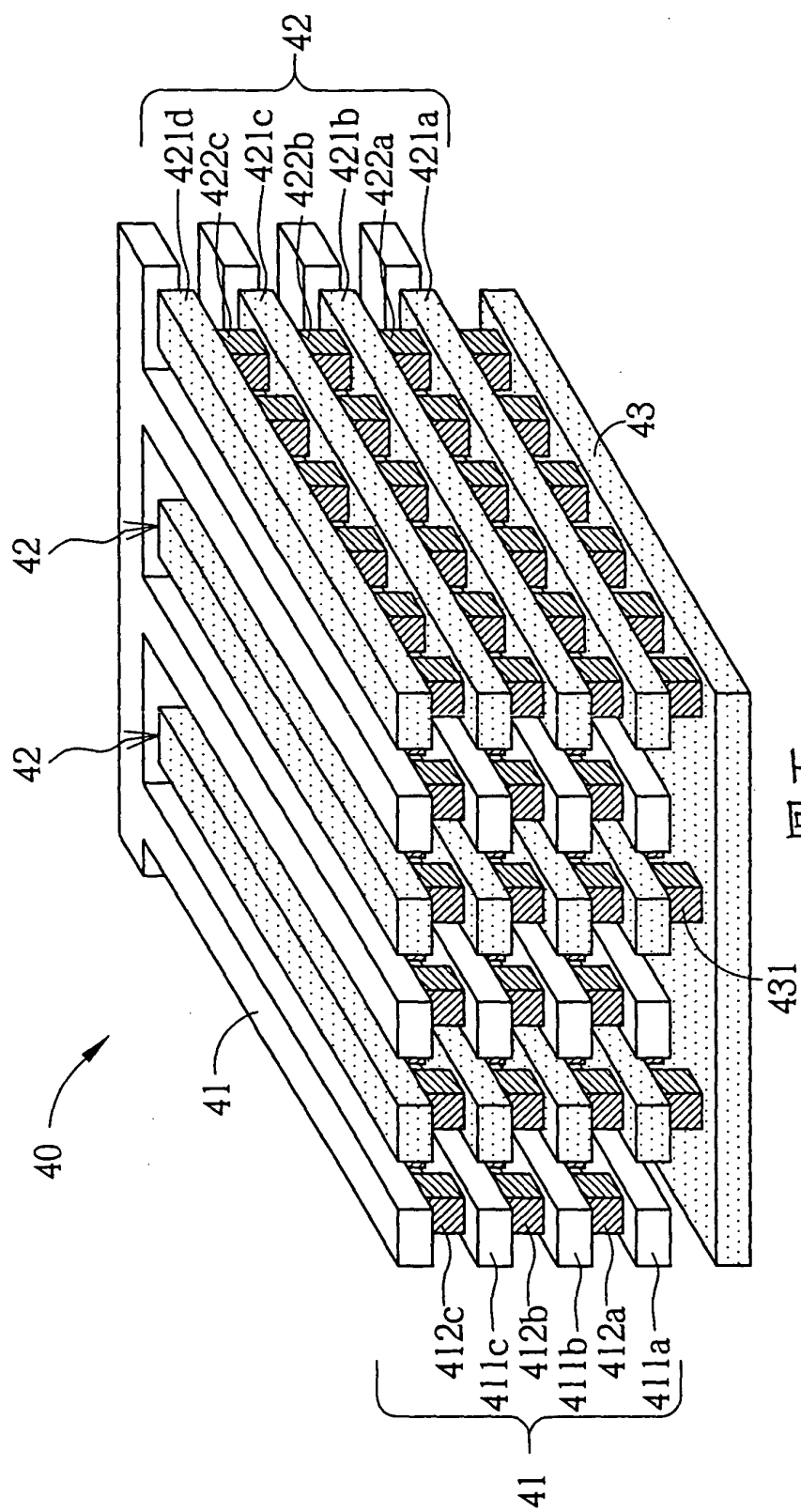
30



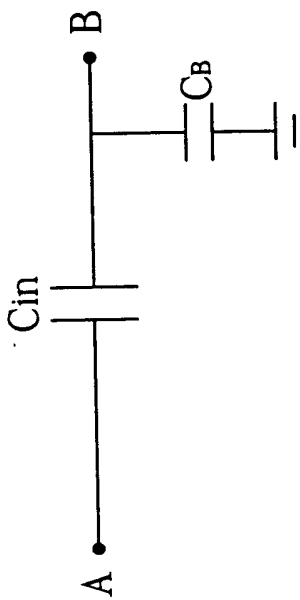
圖三



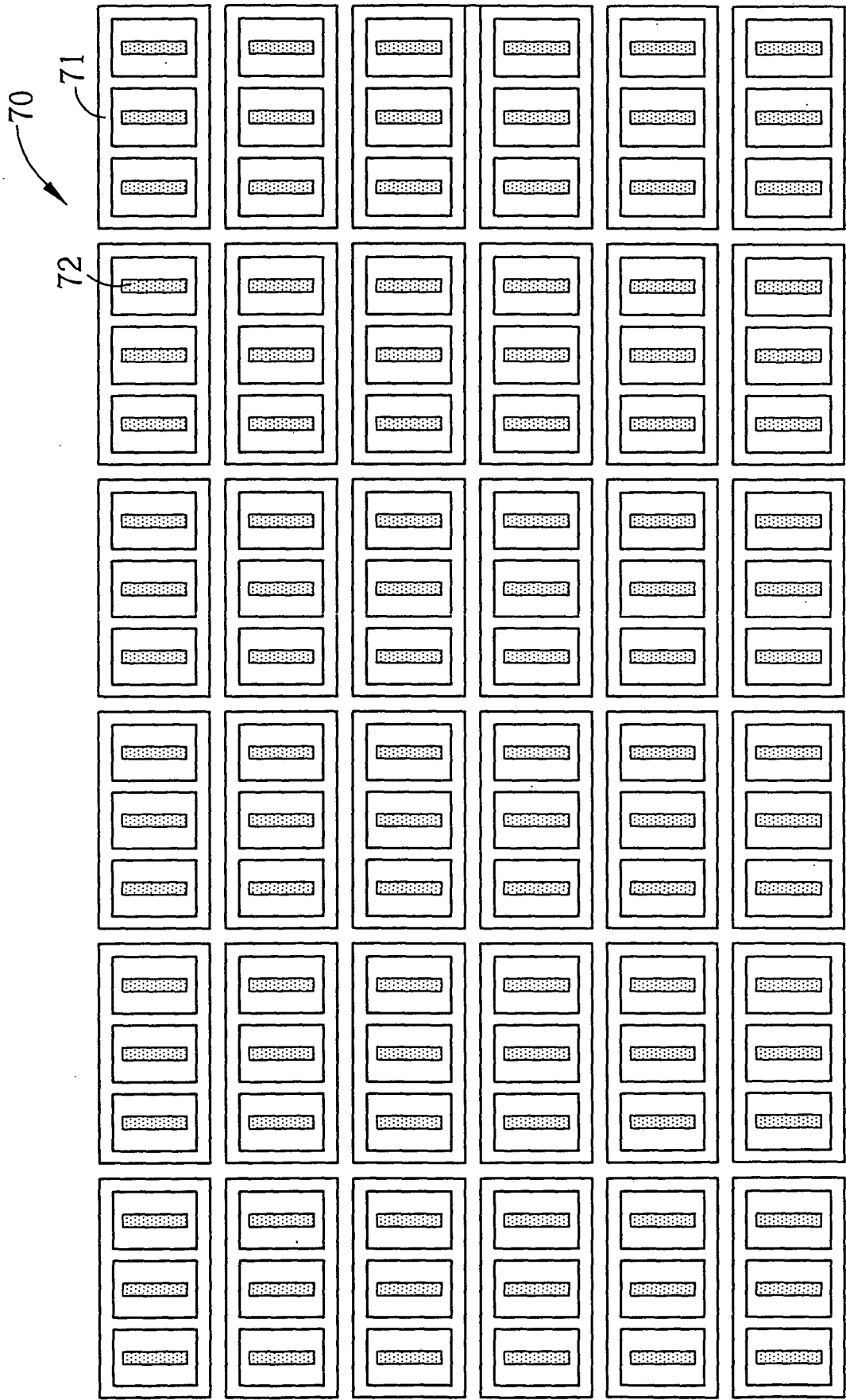
圖四



圖五

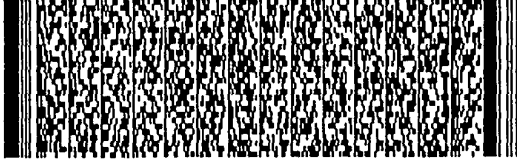


圖六



圖七

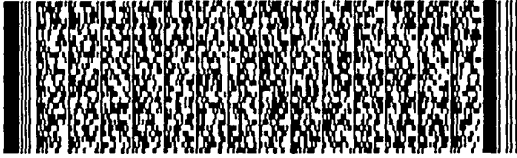
第 1/19 頁



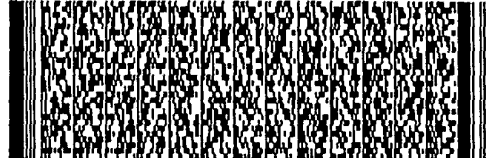
第 2/19 頁



第 2/19 頁



第 3/19 頁



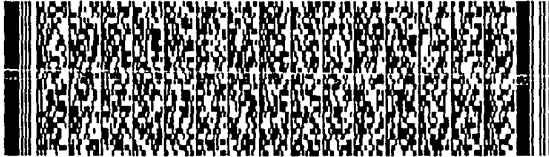
第 4/19 頁



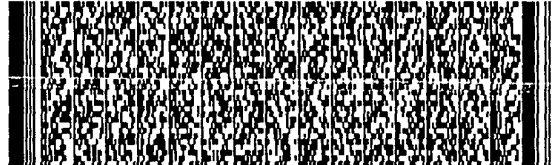
第 6/19 頁



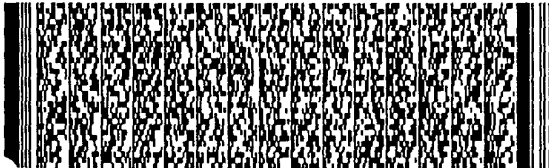
第 6/19 頁



第 7/19 頁



第 7/19 頁



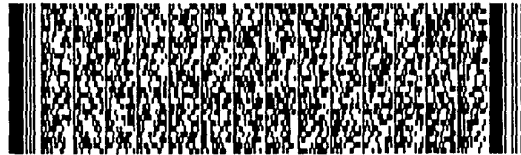
第 8/19 頁



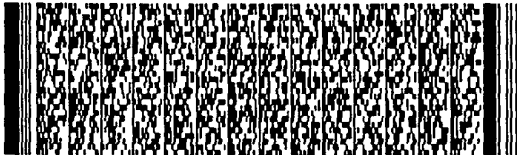
第 8/19 頁



第 9/19 頁



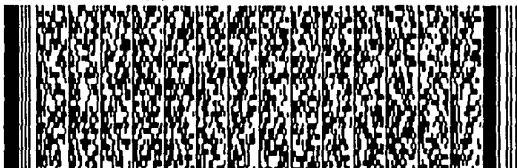
第 9/19 頁



第 10/19 頁



第 10/19 頁



第 11/19 頁



第 11/19 頁



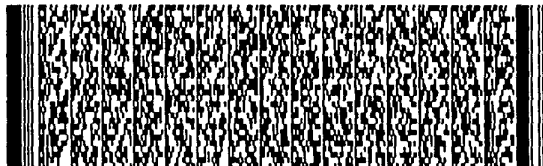
第 12/19 頁



第 12/19 頁



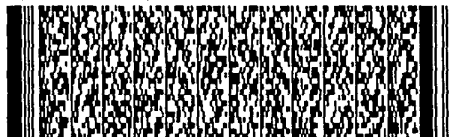
第 13/19 頁



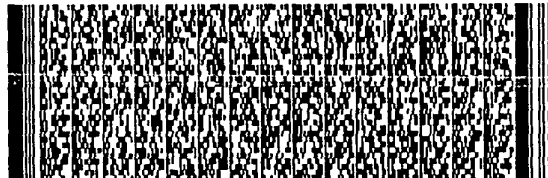
第 14/19 頁



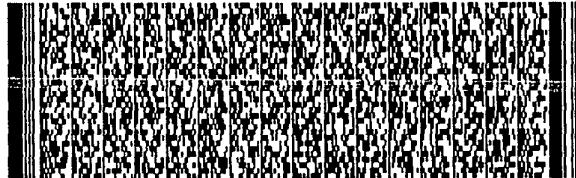
第 15/19 頁



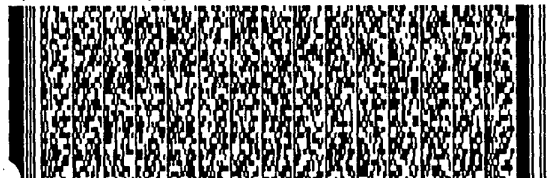
第 16/19 頁



第 17/19 頁



第 18/19 頁



第 19/19 頁

